

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-168513

(43)Date of publication of application : 22.06.1999

(51)Int.CI.

H04L 25/49

H04L 25/02

H04L 25/38

// H04L 7/00

(21)Application number : 10-244169

(71)Applicant : SAMSUNG ELECTRON CO LTD

(22)Date of filing : 28.08.1998

(72)Inventor : KIM GWANG-MYUNG

(30)Priority

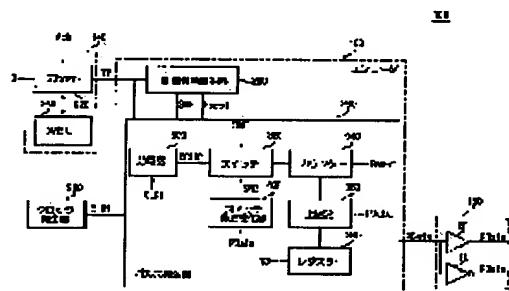
Priority number : 97 9742213 Priority date : 28.08.1997 Priority country : KR

(54) DATA TRANSMISSION RECEPTION CIRCUIT AND ITS METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide the data transmission reception circuit that decreases an electromagnetic interference EMI radiation produced in the data transmission.

SOLUTION: The circuit is provided with a 1st data transmission terminal T1, a 2nd data transmission terminal T2, a conversion section 140 that converts data into a single pulse signal and its complementary signal and provides an output of them through the 1st and 2nd data transmission terminals T1, T2, and a decoding section that receives data converted into pulse signals through the 1st and 2nd data transmission terminals T1, T2 to decode the data based on information resulting from a width of a 2nd pulse. The pulse width of the single pulse signal is a 1st pulse width indicating start of transmission and the 2nd pulse width corresponding to an absolute value of the data.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-168513

(43)公開日 平成11年(1999)6月22日

(51) Int.Cl.⁶
H 0 4 L 25/49
25/02
25/38
// H 0 4 L 7/00

識別記号

F I
H O 4 L 25/49
25/02
25/38
7/00

H
V
B
Z

審査請求 未請求 請求項の数44 OL (全 16 頁)

(21)出願番号 特願平10-244169
(22)出願日 平成10年(1998)8月28日
(31)優先権主張番号 1997 42213
(32)優先日 1997年8月28日
(33)優先権主張国 韓国(K.R.)

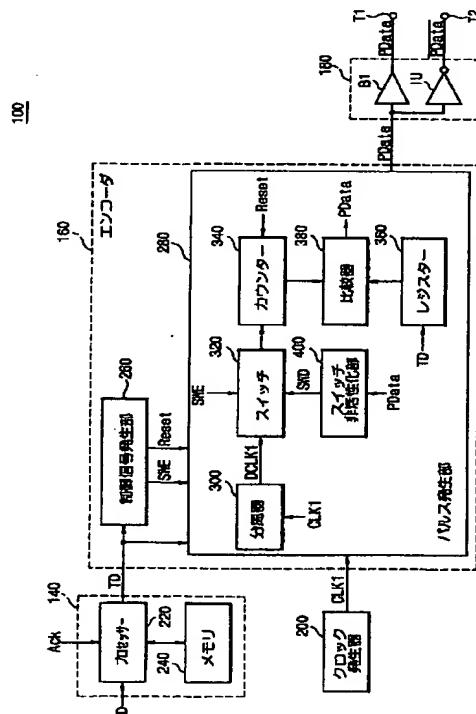
(71) 出願人 390019839
三星電子株式会社
大韓民国京畿道水原市八達区梅灘洞416
(72) 発明者 金 光明
大韓民国京畿道龍仁市起興邑農西里山24 ·
449-900
(74) 代理人 弁理士 志賀 正武 (外1名)

(54) 【発明の名称】 データ送受信回路及びその方法

(57) 【要約】

【課題】 データ伝送する際に発生されるEMI放射を減少させることができるデータ送受信回路を提供する。

【解決手段】 第1データ伝送端子T1と、第2データ伝送端子T2と、データを单一のパルス信号及びその相補的な信号に変換して第1及び第2データ伝送端子T1、T2を通じて出力するための変換部140と、第1及び第2伝送端子T1、T2を通じてパルス信号として変換されたデータを受け入れ、第2パルス幅からデータを復元するための復元部とを備えていることを特徴とする。



【特許請求の範囲】

【請求項1】並列に提供されるデータを直列に送信するためのデータ送信回路において、

前記並列に提供されるデータを単一のパルス信号及びその相補的な信号に変換するための変換部と、

前記単一のパルス信号を出力する第1データ伝送端子及び、

前記相補的な信号を出力する第2データ伝送端子を具備し、

前記単一のパルス信号のパルス幅は送信開示を表示する第1パルス幅と前記データの絶対値に対応される第2パルス幅を持つことを特徴とするデータ送信回路。

【請求項2】前記データの値が0である時、前記第2パルス幅は0であることを特徴とする請求項1に記載のデータ送信回路。

【請求項3】前記データの値が0ではない時、前記第2パルス幅は、1のデータ値を表示する単位パルス信号の幅に比例することを特徴とする請求項2に記載のデータ送信回路。

【請求項4】前記第1パルス幅と前記単位パルス信号の幅は同一なことを特徴とする請求項3に記載のデータ送信回路。

【請求項5】前記第1パルス幅と前記単位パルス信号の幅は相違なことを特徴とする請求項3に記載のデータ送信回路。

【請求項6】前記第1パルスと前記単位パルスは同一な位相を持つことを特徴とする請求項4または5に記載のデータ送信回路。

【請求項7】前記第1パルスは0のデータ値を示すことを特徴とする請求項6に記載のデータ送信回路。

【請求項8】前記変換部は、前記データを受け入れ前記データの値に前記第1パルスに該当するデータの値を付加し、前記パルス信号及びその相補信号が有効な信号として送信されたことを知らせるアクリナリジ信号が受信されたかの可否を判別するためのデータ処理手段と、前記データ処理手段から前記付加されたデータを受け入れ、付加されたデータを前記パルス信号に符号化するためのエンコーダと、

前記パルス信号を受け入れ前記パルス信号及びその相補的な信号を同時に outputするための出力手段とを含むことを特徴とする請求項1に記載のデータ送信回路。

【請求項9】前記エンコーダは、前記付加されたデータが入力される時、第1及び第2制御信号を発生する制御信号発生手段と、

前記付加されたデータの値を貯蔵するための貯蔵手段と、前記単位パルス幅に同期されるようにクロック信号を分周するための分周手段と、

前記第1制御信号が印加される時、初期化されるカウンターと、

前記第2制御信号に応答して前記分周手段により分周さ

れた前記クロック信号を前記カウンターの活性化信号として供給するためのスイッチと、

前記カウンターによりカウントされた値と貯蔵手段に貯蔵されたデータの値を比較して前記パルス信号を出力する比較器とを備え、

前記比較器は、前記カウンターが初期化される時に前記パルス信号を第1レベルから第2レベルに遷移させ、また、前記カウントされた値と前記貯蔵手段に貯蔵されたデータの値と一致する時に前記パルス信号を第2レベルから第1レベルに遷移させ、

前記パルス信号が第2レベルから第1レベルに遷移される時、前記スイッチをスイッチオフさせるためのスイッチ非活性化信号を出力するスイッチ非活性化手段をさらに備えていることを特徴とする請求項7または8に記載のデータ送信回路。

【請求項10】単一のパルス信号を受け入れるための第1データ受信端子と、

前記単一のパルス信号の相補的な信号を受け入れるための第2データ受信端子と、

前記単一のパルス信号を入力してデータの送信開示を表示する第1パルス幅と前記データの絶対値に対応される第2パルス幅を持つデータに復元するための復元部とを含むデータ受信回路。

【請求項11】前記データの値が0である時、前記第2パルス幅は0である請求項10に記載のデータ受信回路。

【請求項12】前記データの値が0ではない場合、前記第2パルス幅は1のデータ値を表示する単位パルス信号の幅に比例する請求項11に記載のデータ受信回路。

【請求項13】前記第1パルス幅と前記単位パルス信号の幅は同一である請求項12に記載のデータ受信回路。

【請求項14】前記第1パルス幅と前記単位パルス信号の幅は相違する請求項12に記載のデータ受信回路。

【請求項15】前記第1パルスと前記単位パルスは同一な位相を持つ請求項13または14に記載のデータ受信回路。

【請求項16】前記第1パルスは0のデータ値を示す請求項15に記載のデータ受信回路。

【請求項17】前記復元部は、前記第1データ受信端子を通じて前記単一のパルス信号を受け入れ、前記単一のパルス信号に対応されるデータの値に変換するための第1デコーダーと、

前記第2データ受信端子を通じて前記パルス信号の相補的な信号を受け入れ、それに対応されるデータの値に変換するための第2デコーダーと、

前記変換されたデータの値が一致する時、前記第2パルス幅から前記データを復元し、そして、前記パルス信号が有効な信号として受信されたかの可否を示すアクリナリジ信号を前記端子中、少なくとも一つを通じて出力する

50

データ処理手段とを含む請求項10に記載のデータ受信回路。

【請求項18】 前記第1デコーダーは、前記単位パルス信号に同期されるようにクロック信号を分周するための第1分周手段と、

前記パルス信号に応答して前記第1分周手段により分周された前記クロック信号によりカウント動作を始める第1カウンターとを備え、

前記第1カウンターは、前記パルス信号が第1レベルから第2レベルに遷移される時に活性化され、また、前記パルス信号が第2レベルから第1レベルに遷移される時に非活性化され、

前記第1カウンターが非活性化される時、最終的にカウントされた値を貯蔵するための第1貯蔵手段をさらに備えていることを特徴とする請求項17に記載のデータ受信回路。

【請求項19】 前記第2デコーダは、前記単位パルス信号に同期されるように前記クロック信号を分周するための第2分周手段と、

前記パルス信号の相補的な信号に応答して前記第2分周手段により分周された前記クロック信号によりカウンタ一動作を始める第2カウンターとを備え、

前記第2カウンターは、前記相補信号が第2レベルから第1レベルに遷移される時に活性化され、また、前記相補信号が第1レベルから第2レベルに遷移される時に非活性化され、

前記第2カウンターが非活性化される時、最終的にカウントされた値を貯蔵するための第2貯蔵手段をさらに備えていることを特徴とする請求項17または18に記載のデータ受信回路。

【請求項20】 前記アクナリジ信号はパルスに出力される請求項17に記載のデータ受信回路。

【請求項21】 外部の回路とデータを送信及び受信するデータ送受信回路において、

第1データ端子と、第2データ端子と、前記外部の回路にデータを送信する中には並列のデータをこのデータ値に対応する单一のパルス信号及びその相補的な信号に変換して第1及び第2データ端子を通じて各々出力するための変換手段と、

前記外部の回路からデータを受信する中には、前記第1及び第2データ端子を通じて前記单一のパルス信号及びその相補的な信号を各々入力してデータの送信開示を表示する第1パルス幅と前記データの絶対値に対応される第2パルス幅を持つデータに復元するための復元手段を含むデータ送受信回路。

【請求項22】 前記データの値が0である時、第2パルス幅は0である請求項21に記載のデータ送受信回路。

【請求項23】 前記データの値が0ではない時、前記第2パルス幅は1のデータ値を表示する単位パルス信号

の幅に比例する請求項22に記載のデータ送受信回路。

【請求項24】 前記第1パルス幅と前記単位パルス信号の幅は同一である請求項23に記載のデータ送受信回路。

【請求項25】 前記第1パルス幅と前記単位パルス信号の幅は相違である請求項23に記載のデータ送受信回路。

【請求項26】 前記第1パルスと前記単位パルスは同一な位相を持つ請求項24または25に記載のデータ送受信回路。

【請求項27】 前記第1パルスは0のデータ値を示す請求項26に記載のデータ送受信回路。

【請求項28】 前記変換手段は、前記データを受け入れ前記データの値に前記第1パルスに該当するデータの値を付加し、前記出力されたパルス信号及びその相補信号が有効な信号として送信されたかを知らせるアクナリジ信号が受信されたかの可否を判別するための第1データ処理手段と、

前記付加されたデータを受け入れて前記付加されたデータをパルス信号に符号化するためのエンコーダと、前記パルス信号を受け入れ前記パルス信号及びその相補的な信号に同時に出力する手段とを含む請求項21に記載のデータ送受信回路。

【請求項29】 前記エンコーダは、前記付加されたデータが入力された時、第1及び第2制御信号を発生する制御信号発生手段と、

前記付加されたデータの値を貯蔵するための第1貯蔵手段と、

前記単位パルス信号に同期されるようにクロック信号を分周するための第1分周手段と、

前記第1制御信号が印加される時、初期化される第1カウンターと、

前記第2制御信号に応答して前記第1分周手段により分周された前記クロック信号を前記第1カウンターの活性化信号として供給するための第1スイッチと、

前記第1カウンターによりカウントされた値と前記第1貯蔵手段に貯蔵されたデータの値を比較して前記パルス信号を出力する第1比較器とを備え、

前記第1比較器は、前記第1カウンターが初期化される時に前記パルス信号を第1レベルから第2レベルに遷移させ、また、前記カウントされた値と前記貯蔵手段に貯蔵されたデータの値が一致する時に前記パルス信号を第2レベルから第1レベルに遷移させ、

前記パルス信号が第2レベルから第1レベルに遷移される時、前記スイッチをスイッチオフさせるためのスイッチ非活性化信号を出力するスイッチ非活性化手段をさらに備えていることを特徴とする請求項27または28に記載のデータ送受信回路。

【請求項30】 前記復元手段は前記第1データ伝送端子を通じて前記パルス信号を受け入れ、前記パルス信号

に対応されるデータの値に変換するための第1デコーダと、

前記第2データ伝送端子を通じて前記相補信号を受け入れ前記相補信号に対応されるデータの値に変換するための第2デコーダと、

前記変換されたデータの値が一致する時、前記第2パルス幅から前記データを復元し、そして、前記パルス信号が有効な信号として受信されたかの可否を示すアクナリジ信号を前記端子中、一つを通じて出力する第2データ処理手段とを含む請求項29に記載のデータ送受信回路。

【請求項31】 前記第1デコーダーは、前記単位パルス信号に同期されるようにクロック信号を分周するための第2分周手段と、

前記パルス信号に応答して前記第2分周手段により分周された前記クロック信号によりカウント動作を始める第2カウンターとを備え、
前記第2カウンターは、前記パルス信号が第1レベルから第2レベルに遷移される時に活性化され、また、前記パルス信号が第2レベルから第1レベルに遷移される時に非活性化され、

前記第2カウンターが非活性化される時、最終的にカウントされた値を貯蔵するための第2貯蔵手段をさらに備えていることを特徴とする請求項30に記載のデータ送受信回路。

【請求項32】 前記第2デコーダーは、前記単位パルス信号に同期されるように前記クロック信号を分周するための第3分周手段と、

前記相補信号に応答して前記第3分周手段により分周された前記クロック信号によりカウント動作を始める第3カウンターとを備え、

前記第3カウンターは、前記相補信号が第2レベルから第1レベルに遷移される時に活性化され、また、前記相補信号が第1レベルから第2レベルに遷移される時に非活性化され、

前記第3カウンターが非活性化される時、最終的にカウントされた値を貯蔵するための第3貯蔵手段をさらに備えていることを特徴とする請求項30または31に記載のデータ送受信回路。

【請求項33】 前記アクナリジ信号はパルスに出力される請求項32に記載のデータ送受信回路。

【請求項34】 データを処理するためのデータ処理部と、

前記処理されたデータを单一のパルス信号及びその相補的な信号に変換するための変換部と、

前記単一のパルス信号を出力する第1データ伝送端子と、

前記相補信号を出力する第2データ伝送端子とを具備し、

前記単一のパルス信号の幅は送信開示を表示する第1パ

ルス幅と前記データの絶対値に対応される第2パルス幅を持つ集積回路。

【請求項35】 送信開示を表示する第1パルス幅と送信されるデータの絶対値に対応される第2パルス幅を持つ単一のパルス信号に変換された前記データを受け入れるための第1データ受信端子と、
前記パルス信号の相補的な信号を受け入れるための第2データ受信端子と、

前記第2パルス幅から前記データを復元するための復元部と、

前記復元されたデータを処理するためのデータ処理部とを含む集積回路。

【請求項36】 第1データ端子と、第2データ端子と、データをそのデータ値に対応するパルス幅を持つ単一のパルス信号及びその相補的な信号に変換して前記第1及び第2データ端子を通じて出力する変換部と、
前記第1及び第2データ端子を通じて前記単一のパルス信号及び相補的な信号を各々受け入れ、前記単一のパルス信号のパルス幅に対応するデータに復元するための復元部と、

前記復元されたデータ及び伝送されたデータを処理するためのデータ処理部とを含み、

前記復元されたデータは送信開示を表示する第1パルス幅と前記データの絶対値に対応される第2パルス幅を持つデータ送受信用集積回路。

【請求項37】 第1及び第2データ伝送端子を具備したデータ送信回路のデータ送信方法において、並列のデータを発生する段階と、

前記並列のデータをそのデータの値に対応されるパルス幅を持つ単一のパルス信号に変換する段階と、

前記パルス信号の相補的な信号に出力する段階と、前記パルス信号及びその相補的な信号を前記第1及び第2データ伝送端子を通じて同時に出力する段階とを含むことを特徴とするデータ送信方法。

【請求項38】 前記変換段階は、前記データの伝送有無を判別する段階と、前記判別段階の結果として伝送するデータがない時、前記判別段階を再遂行する段階と、前記判別段階の結果として伝送するデータがある時、前記データの値に対応されるパルス幅を計算する段階と、前記計算された幅のパルス信号を発生する段階とを含むことを特徴とする請求項37に記載のデータ送信方法。

【請求項39】 前記パルス信号を発生する段階は、前記計算されたパルス幅に該当するデュレーションが経過したかの可否を判別する段階と、前記判別段階の結果として該当するデュレーションが経過しなかった場合、前記パルス発生段階に進行する段階と、前記判別段階の結果として該当するデュレーションが経過した場合、前記パルス信号の発生を中断する段階とを含むことを特徴とする請求項38に記載のデータ送信方

法。

【請求項40】前記パルス信号及びその相補信号が正確に伝送されたことを知らせるアクナリジ信号が受信されたかの可否を判別する段階を付加的に含んで、前記判別段階の結果として受信されなかった場合、前記パルス発生段階に進行する段階及び前記判別段階の結果として受信された場合、前記データの伝送有無を判別する段階に進行する段階を遂行することを特徴とする請求項38に記載のデータ送信方法。

【請求項41】第1及び第2データ伝送端子を具備したデータ受信回路のデータ受信方法において、データの送信開示を表示する第1パルス幅とデータの絶対値に対応される第2パルス幅を持つ單一のパルス信号及びその相補信号を前記第1及び第2データ伝送端子を通じて同時に受信する段階及び、前記第2パルス幅から前記データを復元する段階を含むデータ受信方法。

【請求項42】前記受信段階は、データ伝送開示を知らせる信号が検出されたかの可否を判別する段階と、前記判別段階で前記伝送開示信号が検出されなかった場合、判別段階に進行する段階と、前記判別段階で前記伝送開示信号が検出された場合、パルス信号及びその相補信号を受信する段階と、前記受信されたパルス信号及びその相補信号の伝送終了の情報が受信されたかの可否を判別する段階と、前記判別段階の結果として前記伝送終了の情報が受信されなかった場合、前記受信段階に進行する段階と、前記判別段階の結果として前記伝送終了の情報が受信された場合、前記復元段階に進行する段階とを含むことを特徴とする請求項41に記載のデータ受信方法。

【請求項43】前記復元段階は、前記パルス信号及びその相補信号のパルス幅を計算する段階と、前記パルス信号の幅と前記相補信号の幅が同一であるかを判別する段階と、前記判別段階の結果として同一する場合、前記パルス信号あるいは前記相補信号をデータに再生する段階と、前記パルス信号が有効する信号として伝送されたことを知らせる前記アクナリジ信号を発生する段階と、前記判別段階の結果として同一ではない場合、前記パルス信号をエラー処理して終了する段階とを含むことを特徴とする請求項42に記載のデータ受信方法。

【請求項44】第1及び第2データ伝送端子を備えたデータ送受信回路のデータ送受信方法において、データを発生する段階と、前記データをそのデータの値に対応されるパルス幅を持つ單一のパルス信号に変換する段階と、前記パルス信号の相補的な信号に出力する段階と、パルス信号及びその相補的な信号を第1及び第2データ伝送端子を通じて同時に出力する段階と、前記第1及び第2データ伝送端子を通じて前記パルス信

号及びその相補的な信号を受信する段階と、

前記受信されたパルス信号及び前記相補信号中、一つを第2パルス幅から前記データに復元する段階とを含むことを特徴とするデータ送受信方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はデータ送受信回路及びその方法に関するものであり、具体的には一つのパルス信号の長さにより伝送データを表示して送受信するためのデータ送受信回路及びその方法に関するものである。

【0002】

【従来の技術】データが一つの集積回路 (integrated circuit : IC) 又は集積回路の間で直列に伝送される時、一般的に同期入出力 (synchronous input/output) 方式、UART (universal asynchronous receiver/transmitter) 方式、I²C BUS 方式等が利用されている。

【0003】同期入出力方式は同期を合わせるためのクロックライン (clock line) と、データの伝送のためのデータライン (data line) を要求する。すなわち、データ伝送のために基本的に二つのラインを必要とする。そして、方式はいろいろな集積回路 (ICs) の間のデータ送受信のために該当する集積回路をインエーブル/ディスエーブル (enable/disable) するための余分のラインと、直列にデータを送受信するための専用のコントローラーブロック (control block) 、すなわち、送受信回路 (receiver/transmitter circuit) を必要とする。

【0004】UART 方式も直列にデータを送受信するための専用の送受信回路を必要とし、データ送受信速度が制限される短所を持っている。そして、I²C BUS 方式も直列にデータを送受信するための専用の送受信回路を必要とする。

【0005】上述した通信方式を採用した送受信回路を含む集積回路が具現される時、送受信回路が集積回路のチップ内で占める面積が大きいという問題点を持っている。その上、通信方式を採用した集積回路においては、クロックラインあるいはデータラインの状態が変わると、EMI (Electromagnetic Interference) ノイズが放射される問題点を持っている。

【0006】一方、送信されたデータを受信側で有効な信号 (valid signal) に受信したかを確認するために、一般的にパリティ (parity) を利用してエラーを検出する方法あるいは送信するデータの歩数値と共に送信して受信側でこれを確認してエラーを検出する方法が使われてきた。しかし、このようなエラー検出方法はエラーを確認するための複雑な機能を持つ専用の送受信回路により達成されることができるが、又、そのエラー検出方法そのものの体系が非常に複雑な問題点があった。

【0007】

【発明が解決しようとする課題】従って、本発明の目的

は、データ伝送する時、発生されるEMI放射を減少させることができるデータ送受信回路及びその方法を提供することである。

【0008】本発明の他の目的は高集積可能なデータ送受信回路を提供することである。

【0009】本発明の他の目的は伝送データが有効な信号として伝送されたかの可否を早く簡単に確認することができるデータ送受信回路及びその方法を提供することである。

【0010】

【課題を解決するための手段】上述したように目的を達成するための本発明の一つの特徴によると、並列に提供されるデータを直列に送信するためのデータ送信回路において、並列に提供されるデータを单一のパルス信号及びその相補的な信号に変換するための変換部と、单一のパルス信号を出力する第1データ伝送端子及び、相補的な信号を出力する第2データ伝送端子を具備し、单一のパルス信号のパルス幅は送信開示を表示する第1パルス幅とデータの絶対値に対応される第2パルス幅を持つことを特徴とする。

【0011】この特徴において、データの値が0である時、第2パルス幅は0であることを特徴とする。

【0012】この特徴において、データの値が0ではない時、第2パルス幅は1のデータ値を表示する単位パルス信号の幅に比例することを特徴とする。

【0013】この特徴において、第1パルス幅と単位パルス信号の幅は同一なことを特徴とする。

【0014】この特徴において、第1パルス幅と単位パルス信号の幅は相違なことを特徴とする。

【0015】この特徴において、第1パルス幅と単位パルスは同一な位相を持つことを特徴とする。

【0016】この特徴において、第1パルスは0のデータ値を示すことを特徴とする。

【0017】この特徴において、変換部はデータを受け入れデータの値に第1パルスに該当するデータの値を付加し、パルス信号及びその相補信号が有効な信号として送信されたことを知らせるアクナリジ信号が受信されたかの可否を判別するためのデータ処理手段と、データ処理手段から付加されたデータを受け入れ、付加されたデータをパルス信号に符号化するためのエンコーダと、パルス信号を受け入れパルス信号及びその相補的な信号を同時に outputするための出力手段とを含むことを特徴とする。

【0018】この特徴において、エンコーダは、付加されたデータが入力される時、第1及び第2制御信号を発生する制御信号発生手段と、付加されたデータの値を貯蔵するための貯蔵手段と、単位パルス幅に同期されるようにクロック信号を分周するための分周手段と、第1制御信号が印加される時、初期化されるカウンターと、第2制御信号に応答して分周手段により分周されたクロック信号をカウンターの活性化信号として供給するためのスイッチと、カウンターによりカウントされた値と貯蔵手段に貯蔵されたデータの値を比較してパルス信号を出力する比較器とを備え、比較器は、カウンターが初期化される時にパルス信号を第1レベルから第2レベルに遷移させ、また、カウントされた値と貯蔵手段に貯蔵されたデータの値と一致する時にパルス信号を第2レベルから第1レベルに遷移させ、パルス信号が第2レベルから第1レベルに遷移される時、スイッチをスイッチオフさせるためのスイッチ非活性化信号を出力するスイッチ非活性化手段をさらに備えていることを特徴とする。

【0019】本発明の他の特徴によると、単一のパルス信号を受け入れるための第1データ受信端子と、単一のパルス信号の相補的な信号を受け入れるための第2データ受信端子と、単一のパルス信号を入力してデータの送信開示を表示する第1パルス幅とデータの絶対値に対応される第2パルス幅を持つデータに復元するための復元部とを含む。

【0020】この特徴において、データの値が0である時、第2パルス幅は0である。

【0021】この特徴において、データの値が0ではない場合、第2パルス幅は1のデータ値を表示する単位パルス信号の幅に比例する。

【0022】この特徴において、第1パルス幅と単位パルス信号の幅は同一である。

【0023】この特徴において、第1パルス幅と単位パルス信号の幅は相違する。

【0024】この特徴において、第1パルスと単位パルスは同一な位相を持つ。

【0025】この特徴において、第1パルスは0のデータ値を示す。

【0026】この特徴において、復元部は、第1データ受信端子を通じて単一のパルス信号を受け入れ、単一のパルス信号に対応されるデータの値に変換するための第1デコーダーと、第2データ受信端子を通じてパルス信号の相補的な信号を受け入れ、それに対応されるデータの値に変換するための第2デコーダーと、変換されたデータの値が一致する時、第2パルス幅からデータを復元し、そして、パルス信号が有効な信号として受信されたかの可否を示すアクナリジ信号を端子中、少なくとも一つを通じて出力するデータ処理手段とを含む。

【0027】この特徴において、第1デコーダーは、単位パルス信号に同期されるようにクロック信号を分周するための第1分周手段と、パルス信号に応答して第1分周手段により分周されたクロック信号によりカウント動作を始める第1カウンターとを備え、第1カウンターは、パルス信号が第1レベルから第2レベルに遷移される時に活性化され、また、パルス信号が第2レベルから第1レベルに遷移される時に非活性化され、第1カウンターが非活性化される時、最終的にカウントされた値を

貯蔵するための第1貯蔵手段をさらに備えている。

【0028】この特徴において、第2デコーダは、単位パルス信号に同期されるようにクロック信号を分周するための第2分周手段と、パルス信号の相補的な信号に応答して第2分周手段により分周されたクロック信号によりカウンター動作を始める第2カウンターとを備え、第2カウンターは、相補信号が第2レベルから第1レベルに遷移される時に活性化され、また、相補信号が第1レベルから第2レベルに遷移される時に非活性化され、第2カウンターが非活性化される時、最終的にカウントされた値を貯蔵するための第2貯蔵手段をさらに備えている。

【0029】この特徴において、アクナリジ信号はパルスに出力される。

【0030】本発明の他の特徴によると、外部の回路とデータを送信及び受信するデータ送受信回路において、第1データ端子と、第2データ端子と、外部の回路にデータを送信する中には並列のデータをこのデータ値に対応する単一のパルス信号及びその相補的な信号に変換して第1及び第2データ端子を通じて各々出力するための変換手段と、外部の回路からデータを受信する中には、第1及び第2データ端子を通じて单一のパルス信号及びその相補的な信号を各々入力してデータの送信顯示を表示する第1パルス幅とデータの絶対値に対応される第2パルス幅を持つデータに復元するための復元手段を含む。

【0031】この特徴において、データの値が0である時、第2パルス幅は0である。

【0032】この特徴において、データの値が0ではない時、第2パルス幅は1のデータ値を表示する単位パルス信号の幅に比例する。

【0033】この特徴において、第1パルス幅と単位パルス信号の幅は同一である。

【0034】この特徴において、第1パルス幅と単位パルス信号の幅は相違である。

【0035】この特徴において、第1パルスと単位パルスは同一な位相を持つ。

【0036】この特徴において、第1パルスは0のデータ値を示す

【0037】この特徴において、変換手段は、データを受け入れデータの値に第1パルスに該当するデータの値を付加し、出力されたパルス信号及びその相補信号が有効な信号として送信されたかを知らせるアクナリジ信号が受信されたかの可否を判別するための第1データ処理手段と、付加されたデータを受け入れるために付加されたデータをパルス信号に符号化するためのエンコーダと、パルス信号を受け入れパルス信号及びその相補的な信号に同時に outputする手段とを含む。

【0038】この特徴において、エンコーダは、付加されたデータが入力された時、第1及び第2制御信号を發

生する制御信号発生手段と、付加されたデータの値を貯蔵するための第1貯蔵手段と、単位パルス信号に同期されるようにクロック信号を分周するための第1分周手段と、第1制御信号が印加される時、初期化される第1カウンターと、第2制御信号に応答して第1分周手段により分周されたクロック信号を第1カウンターの活性化信号として供給するための第1スイッチと、第1カウンターによりカウントされた値と第1貯蔵手段に貯蔵されたデータの値を比較してパルス信号を出力する第1比較器とを備え、第1比較器は、第1カウンターが初期化される時にパルス信号を第1レベルから第2レベルに遷移させ、また、カウントされた値と貯蔵手段に貯蔵されたデータの値が一致する時にパルス信号を第2レベルから第1レベルに遷移させ、パルス信号が第2レベルから第1レベルに遷移される時、スイッチをスイッチャーオフさせるためのスイッチ非活性化信号を出力するスイッチ非活性化手段をさらに備えている。

【0039】この特徴において、復元手段は第1データ伝送端子を通じてパルス信号を受け入れ、パルス信号に対応されるデータの値に変換するための第1デコーダと、第2データ伝送端子を通じて相補信号を受け入れ相補信号に対応されるデータの値に変換するための第2デコーダと、変換されたデータの値が一致する時、第2パルス幅からデータを復元し、そして、パルス信号が有効な信号として受信されたかの可否を示すアクナリジ信号を端子中、一つを通じて出力する第2データ処理手段とを含む。

【0040】この特徴において、第1デコーダーは、単位パルス信号に同期されるようにクロック信号を分周するための第2分周手段と、パルス信号に応答して第2分周手段により分周されたクロック信号によりカウント動作を始める第2カウンターとを備え、第2カウンターは、パルス信号が第1レベルから第2レベルに遷移される時に活性化され、また、パルス信号が第2レベルから第1レベルに遷移される時に非活性化され、第2カウンターが非活性化される時、最終的にカウントされた値を貯蔵するための第2貯蔵手段をさらに備えている。

【0041】この特徴において、第2デコーダーは、単位パルス信号に同期されるようにクロック信号を分周するための第3分周手段と、相補信号に応答して第3分周手段により分周されたクロック信号によりカウント動作を始める第3カウンターとを備え、第3カウンターは、相補信号が第2レベルから第1レベルに遷移される時に活性化され、また、相補信号が第1レベルから第2レベルに遷移される時に非活性化され、第3カウンターが非活性化される時、最終的にカウントされた値を貯蔵するための第3貯蔵手段をさらに備えている。

【0042】この特徴において、アクナリジ信号はパルスに出力される。

【0043】本発明の他の特徴によると、データを処理

するためのデータ処理部と、処理されたデータを单一のパルス信号及びその相補的な信号に変換するための変換部と、単一のパルス信号を出力する第1データ伝送端子と、相補信号を出力する第2データ伝送端子とを具備し、単一のパルス信号の幅は送信開示を表示する第1パルス幅とデータの絶対値に対応される第2パルス幅を持つ。

【0044】本発明の他の特徴によると、送信開示を表示する第1パルス幅と送信されるデータの絶対値に対応される第2パルス幅を持つ単一のパルス信号に変換されたデータを受け入れるための第1データ受信端子と、パルス信号の相補的な信号を受け入れるための第2データ受信端子と、第2パルス幅からデータを復元するための復元部と、復元されたデータを処理するためのデータ処理部とを含む。

【0045】本発明の他の特徴によると、第1データ端子と、第2データ端子と、データをそのデータ値に対応するパルス幅を持つ単一のパルス信号及びその相補的な信号に変換して第1及び第2データ端子を通じて出力する変換部と、第1及び第2データ端子を通じて単一のパルス信号及び相補的な信号を各々受け入れ、単一のパルス信号のパルス幅に対応するデータに復元するための復元部と、復元されたデータ及び伝送されたデータを処理するためのデータ処理部とを含み、復元されたデータは送信開示を表示する第1パルス幅とデータの絶対値に対応される第2パルス幅を持つ。

【0046】本発明の他の特徴によると、第1及び第2データ伝送端子を具備したデータ送信回路のデータ送信方法において、並列のデータを発生する段階と、並列のデータをそのデータの値に対応されるパルス幅を持つ単一のパルス信号に変換する段階と、パルス信号の相補的な信号に出力する段階と、パルス信号及びその相補的な信号を第1及び第2データ伝送端子を通じて同時に出力する段階とを含むことを特徴とする。

【0047】この特徴において、変換段階は、データの传送有無を判別する段階と、判別段階の結果として传送するデータがない時、判別段階を再遂行する段階と、判別段階の結果として传送するデータがある時、データの値に対応されるパルス幅を計算する段階と、計算された幅のパルス信号を発生する段階とを含むことを特徴とする。

【0048】この特徴において、パルス信号を発生する段階は、計算されたパルス幅に該当するデュレーションが経過したかの可否を判別する段階と、判別段階の結果として該当するデュレーションが経過しなかった場合、パルス発生段階に進行する段階と、判別段階の結果として該当するデュレーションが経過した場合、パルス信号の発生を中断する段階とを含むことを特徴とする。

【0049】この特徴において、パルス信号及びその相補信号が正確に伝送されたことを知らせるアクナリジ信

号が受信されたかの可否を判別する段階を付加的に含んで、判別段階の結果として受信されなかった場合、パルス発生段階に進行する段階及び判別段階の結果として受信された場合、データの传送有無を判別する段階に進行する段階を遂行することを特徴とする。

【0050】本発明の他の特徴によると、第1及び第2データ伝送端子を具備したデータ受信回路のデータ受信方法において、データの送信開示を表示する第1パルス幅とデータの絶対値に対応される第2パルス幅を持つ単一のパルス信号及びその相補信号を第1及び第2データ伝送端子を通じて同時に受信する段階及び、第2パルス幅からデータを復元する段階を含む。

【0051】この特徴において、受信段階は、データ伝送開示を知らせる信号が検出されたかの可否を判別する段階と、判別段階で伝送開示信号が検出されなかった場合、判別段階に進行する段階と、判別段階で伝送開示信号が検出された場合、パルス信号及びその相補信号を受信する段階と、受信されたパルス信号及びその相補信号の传送終了の情報が受信されたかの可否を判別する段階と、判別段階の結果として传送終了の情報が受信されなかった場合、受信段階に進行する段階と、判別段階の結果として传送終了の情報が受信された場合、復元段階に進行する段階とを含むことを特徴とする。

【0052】この特徴において、復元段階は、パルス信号及びその相補信号のパルス幅を計算する段階と、パルス信号の幅と相補信号の幅が同一であるかを判別する段階と、判別段階の結果として同一する場合、パルス信号あるいは相補信号をデータに再生する段階と、パルス信号が有効する信号として传送されたことを知らせるアクナリジ信号を発生する段階と、判別段階の結果として同一ではない場合、パルス信号をエラー処理して終了する段階とを含むことを特徴とする。

【0053】本発明の他の特徴によると、第1及び第2データ伝送端子を備えたデータ送受信回路のデータ送受信方法において、データを発生する段階と、データをそのデータの値に対応されるパルス幅を持つ単一のパルス信号に変換する段階と、パルス信号の相補的な信号に出力する段階と、パルス信号及びその相補的な信号を第1及び第2データ伝送端子を通じて同時に出力する段階と、第1及び第2データ伝送端子を通じてパルス信号及びその相補的な信号を受信する段階と、受信されたパルス信号及び相補信号中、一つを第2パルス幅からデータに復元する段階とを含むことを特徴とする。

【0054】このような回路及び方法により、送信しようとするデータをパルス信号のデュレーションで表示することができる。

【0055】

【発明の実施の形態】以下、本発明の実施形態を図1～図10を用いて詳細に説明する。

【0056】図5及び図6を参照すると、本発明の好ま

しい実施形態としてのデータ送受信回路のデータ送信回路100及びデータ受信回路120を具備しており、このデータ送信回路100は伝送しようとする並列のデータをこのデータ値に対応する単一のパルス信号PData及びその相補的な信号PDataに変換し、パルス信号PData及びその相補的な信号PDataをデータ受信回路120に送信する機能を持つ。パルス信号PDataはデータの送信開始を表示する第1パルス幅D0とデータの絶対値に対応される第2パルス幅SUDを持つ。第2パルス幅SUDは1のデータ値を表示する単位パルス信号Udに倍数的に比例するデュレーションを持つ。第1パルス幅D0は単位パルス信号Udの幅と同一としたり相違させたりすることができる。そして、本発明のデータ送受信回路はあるいはデータ受信回路120を具備している。このデータ受信回路120はパルス信号PData及びその相補的な信号PDataを受信し、第2パルスの幅SUDから並列のデータを復元する。そして、本発明によるデータ送受信回路はデータ伝送する時、発生されるEMI放射を減少されることができるし、データが本来の値で伝送されたかの可否を確認する過程が簡単に早くなる。それと共に、データ送受信回路100及び120を簡単なハードウェア構成で早くて簡便なエラー検出機能を持つように設計することができるので、高集積可能なデータ送受信回路が提供される。

【0057】図1は本発明によるデータ送受信回路の接続関係を示すブロック図である。図2は本発明による伝送データのパルス信号及びその相補信号の波形を示す図面であり、図3は図1のデータラインDLを通じて伝送されるパルス信号の構成を示す図面である。そして、図4は本発明の好ましい実施形態による各データを表示するパルス信号の長さを示す図面である。

【0058】図1を参照すると、データ送受信回路100及び120は各々第1データ伝送端子(first data transfer terminal)T1及びT3と第2データに伝送端子(second data transfer terminal)T2及びT4を持ち、各々対応される端子T1及びT3、T2及びT4は第1データラインDLと第2データラインDLを通じて連結されている。データ送信回路100は第1データラインDLを通じて単一パルス信号PDataをデータ受信回路120に伝送し、そして、第2データラインDLを通じてパルス信号PDataの相補的な信号PDataを回路120に伝送する。データ送信回路100及びデータ受信回路120に対した説明は以後上述された図5及び図6を通じて説明される。

【0059】図2を参照すると、符号10は論理的にハイレベル(logic high level)の位置であり、符号20は論理的にローレベル(logic low level)の位置である。論理的にハイレベルの位置にある符号30及び40はデータ送信が遂行されなかつた時を示し、論理的にロ

ーレベルの位置にある符号7はデータ送信が遂行される時を示す。この時、符号50、すなわち、第1データラインDLの下降エッジ(falling edge)はデータ送信始めを意味し、符号60、すなわち、第1データラインDLの上昇エッジ(rising edge)はデータ送信終了を意味する。言い換えれば、実質的に送信されるデータは符号70の区間に該当し、その区間に對応されるローレベルの長さとして表示される。そして、第2データラインDLは第1データラインDLの位相が反転されたことである。ただし、第2データラインDLの実質的なデータが送信される区間は論理的にハイレベルの符号80に該当する。

【0060】図3を参照すると、参照記号D0はデータ'0'を示す第1パルス幅(first pulse duration)を表示する。参照記号SUDはデータ1を表示する単位パルス信号(unit pulse signal:Ud)の合成された信号SUDを示す第2パルス幅(second pulse duration)を表示する。ここで、第1パルス幅D0は第2パルス幅Udと同一としたり、相違させても関係ない。よく知られている事実であるが、第2データラインDL上のパルス信号は図3の位相が反転されたものと同一のパルスデュレーション(pulse duration)を持つ。図4に図示されたように、データ'0'は第1パルス幅D0で表現され、余りのデータ1~n(ここで、nは定数)も第1パルス幅D0にデータに各々対応される単位パルス信号Udが付加されて表現される。ここで、第1パルス幅D0は第2パルス幅と同一なデュレーションで表示されている。言い換えれば、送信しようとするデータの値が0である時、第2パルス幅SUDは0であり、そして、第1パルス幅D0は単位パルス信号Udの幅と同一である。又、第1パルスD0と単位パルス信号Udは同一の位相を持つが、互いに相反する位相で表現されることはこの分野の知識を習得した人々に自明である。

【0061】図5を参照すると、本発明の好ましい実施形態によるデータ送信回路の構成を示すブロック図が図示されている。データ送信回路100は送信しようとするデータをパルス信号PData及びその相補的な信号PDataに変換し、そして、信号PData及びPDataを対応する第1及び第2データ伝送端子T1及びT2に出力する。ここで、送信しようとするデータはデータ送信回路100の外部から印加され、並列にあるいは直列に伝送される。

【0062】パルス信号PData及びその相補的な信号PDataはデータの送信開始を表示する第1パルス幅D0とデータの絶対値に比例する第2パルス幅SUDを持つ。例えば、送信しようとするデータの値が5であり、1のデータを表示する単位パルス信号Udのデュレーションが100nsであり、第1パルスD0のデュレーションが200nsとすると、パルス信号PDataは第1パルスD0のデュレーション200nsと送信し

ようとするデータの値に該当するデュレーション ($10 \text{ n s} \times 5$) を持つ。すなわち、パルス信号 P D a t a のデュレーションは 700 n s を持つ。そして、第1パルス幅 D O は第2のパルス幅 S U d が 0 である時、データ 0 を示す。共に、第1のパルス幅 D O が送信しようとするデータに付加されるのは、受信側からパルス信号 P D a t a が安定に受信されるようにするためである。

【0063】データ送信回路 100 はデータ処理部 140, エンコーダ 160, バッファー 180 及びクロック発生部 200 を含む。データ処理部 140 はプロセッサー 220 とメモリ 240 で構成され、外部から印加されるデータ D を受け入れデータ D の値に第1パルス D O のデュレーションを持つデータ（好ましい実施形態の場合、0）の値を付加された送信データ TD を出力する。そして、プロセッサー 220 は送信が完了された後、受信側から送信データ TD が有効なデータから送信されたかを知らせるアクリジ信号（acknowledge signal）が受信されたかを検出してパルス信号 P D a t a 及びその相補的な信号 P D a t a の再伝送可否を決定する。そして、メモリ 240 はプロセッサー 220 の処理プログラム及び伝送データを貯蔵する。

【0064】エンコーダ 160 はクロック発生器（clock generator）200 から供給されるクロック信号 C L K 1 及び送信データ TD を受け入れ、送信データ TD を单一のパルス信号 P D a t a に符号化する。エンコーダ 160 は制御信号発生部（control signal generating section）260 及びパルス発生部（pulse generating section）280 で構成される。そして、パルス発生部 280 は分周器（divider）300, スイッチ（switch）320, カウンター（counter）340, レジスター（register）360, 比較器（comparator）380, そして、スイッチ非活性化部（switch disable section）400 で構成される。

【0065】制御信号発生部 260 は、データ処理部 140 から送信データ TD が印加される時、スイッチ 320 をスイッヂオンさせるための第1制御信号 S W E 及びカウンター 340 を初期化させるための第2制御信号（Reset）を発生する。分周器 300 はクロック信号 C L K 1 を受け入れ、単位パルス幅 U d に同期されるようにクロック信号 C L K 1 を分周する。このような動作は送受信側の通信速度を合わせるためにものである。すなわち、送信側のクロック周波数と受信側のクロック周波数が一致しない場合、単位パルス幅 U d に両側の分周信号（divided clock）を同期させることにより円滑な通信が保障されることができる。

【0066】カウンター 340 は第2制御信号 R e s e t により初期化される。以後、カウンター 340 は第1制御信号 S W E により活性化されるスイッチ 320 を通じて供給されるクロック信号 C L K 1 に同期され、カウント動作を始める。レジスター 360 はデータ処理部

140 から提供される送信データ TD を貯蔵する。そして、比較器 380 はカウンター 340 がカウント動作を始める時、図 7 に図示されたように、ハイレベルからローレベルに遷移されるパルス信号 P D a t a を出力する。以後、比較器 380 はカウンター 340 によりカウントされた値とレジスター 360 に貯蔵された送信データ TD の値を比較し、二つのデータの値が一致する時、パルス信号 P D a t a の発生を中止する。すなわち、ローレベルのパルス信号 P D a t a はハイレベルに遷移される。

【0067】続いて、スイッチ非活性化部 400 はパルス信号 P D a t a がローレベルからハイレベルに遷移される時、スイッチ 320 をスイッヂオフさせるための信号 S W D を発生する。従って、スイッチ 320 がスイッヂオフされると、スイッチ 320 を通じてカウンター 340 に供給されたクロック信号 D C L K 1 が遮断され、その結果比較器 380 からパルス信号 P D a t a が出力されないことになる。そして、出力部 180 はエンコーダ 160 から出力されるパルス信号 P D a t a を受け入れ、パルス信号 P D a t a 及びその相補的な信号 P D a t a を第1及び第2データ伝送端子 T 1 及び T 2 に同時に output する。出力部 180 は一つのインバーター I V 1 と一つのバッファー B 1 で構成される。

【0068】図 6 を参照すると、本発明の好ましい実施形態によるデータ受信回路の構成を示すブロック図が図示されている。データ受信回路 120 は第1及び第2のデータライン D L 及び D L を通じて伝送されたパルス信号 P D a t a 及びその相補的な信号 P D a t a を第1及び第2データ伝送端子 T 3 及び T 4 を通じて受信し、そして、第2パルス S U d の幅から送信データ TD を復元する。そして、データ受信回路 120 は二つの信号 P D a t a 及び P D a t a に対応されるデータの値を比較して受信されたパルス信号 P D a t a が有効な信号（valid signal）として受信されたかを判断する。続いて、有効な信号として受信された場合、データ受信回路 120 は送信部 100 にパルス信号 P D a t a が有効な信号、すなわち、ノイズが含まれない信号として伝送されたかを知らせるためのアクリジ信号（acknowledge signal）を第1データ伝送端子 T 3 あるいは第2データ伝送端子 T 4 中、一つ（例えば、第1データライン D L ）を通じて伝送する。

【0069】データ受信回路 120 は第1及び第2デコーダ 420 及び 420 a, データ処理部 440, そして、クロック発生器 460 を含む。第1デコーダ 420 は第1データライン D L により伝送されたパルス信号 P D a t a を第1データ伝送端子 T 3 を通じて受け入れ、パルス信号 P D a t a に対応されるデータの値で変換する。そして、第2デコーダ 420 a は第2データライン D L により伝送されたパルス信号 P D a t a の相補的な信号 P D a t a を第2データ伝送端子 T 4 を通じて受

け入れ、パルス信号 P D a t a の相補的な信号 P D a t a に対応されるデータの値で変換する。第1デコーダ420は分周器480, カウンター500, そしてレジスター520で構成される。分周器480はデータ送信回路100のそれと同一な目的のために使用されるので、ここではそれに対した説明を省略する。

【0070】カウンター500はパルス信号 P D a t a により制御される。例えば、パルス信号 P D a t a が伝送される第1データラインD Lのレベルがハイレベルからローレベルに遷移される時、すなわち、伝送開始を知らせる情報が印加される時、カウンター500は初期化される。そして、カウンター500は分周期480により分周されたクロック信号 D C L K 2 により順次的にカウント動作を始める。以後、パルス信号 P D a t a がローレベルからハイレベルに、すなわち、伝送終了を知らせる情報が印加される時、カウンター500は非活性化され、カウンター500により最終的にカウントされた値 R D 1 はレジスター520に貯蔵される。第2デコーダ420aも第1デコーダ420と同一の構成を持つので、便宜上それに対した図面及び説明はここでは省略される。第2デコーダ420aも前記の一連の動作を遂行してパルス信号 P D a t a の相補的な信号 P D a t a に該当するデータの値 R D 2 を計算するようになる。

【0071】データ処理部440はプロセッサー540及びメモリ560で構成され、第1及び第2デコーダ420及び420aにより計算されたデータの値 R D 1 及び R D 2 を比較して受信されたパルス信号 P D a t a あるいは相補信号 P D a t a が有効な信号として受信されたかを判断するようになる。万一、有効な信号として判断される場合、図8に図示されたように、データ処理部440は第2パルス S U d の幅から送信データ T D を復元し、そして、有効な信号として受信されたことを知らせるアクリナリジ信号 (acknowledge signal) を発生する。図8で、アクリナリジ信号が発生されない以前に一定時間の間、ハイレベルに維持される区間はプロセッサー440で判断することにかかる時間を示す。これと反対に、判断結果として有効な信号ではない場合、受信されたパルス信号 P D a t a はエラーとして処理される。アクリナリジ信号が発生されない場合、データ送信回路100はパルス信号 P D a t a を再伝送するようになる。

【0072】図9は本発明の好ましい実施形態による送信方法を示す流れ図である。本発明による送信方法について参考図面を用いて以下に説明する。

【0073】パワーがオンされるにより送信が始まるとき、まず、段階 S 1 から送信されるデータが存在するかの可否が判断される (S 2)。送信するデータが存在しない場合、統いて段階 S 1 を再遂行するようになる。これと反対に、送信するデータが存在する場合、次の段階 S 3 から送信するデータの値に対応するパルス幅を計算するようになる。このような一連の段階 S 2 及び S 3 は

データ処理部140により遂行される。パルス幅に対する計算は次のようにある。送信するデータの値が 2 であり、第1パルス D 0 のデュレーションが 500 ns であり、単位パルス信号 U d のデュレーションが 100 ns である時、第2のパルス幅 S U d は単位パルス信号 U d の 2 倍に該当するデュレーション 200 ns を持つ。そして、第2のパルス幅 S U d に第1パルス幅 D 0 を付加することにより送信するデータに対するパルス幅 (例えば、700 ns のデュレーション) が計算される。

【0074】送信するデータに対応するパルス幅が計算された後、計算された幅のパルス信号 P D a t a 及びその相補信号 P D a t a を発生する段階 S 4 が遂行され、以後、段階 S 5 で計算されたデュレーションが経過したかを判断するようになる。万一、計算されたデュレーションが経過しなかった場合、統いてパルス発生段階 S 4 を遂行する。反面、計算されたデュレーションと実際に測定されたデュレーションが一致する場合、次の段階 S 6 からパルス信号 P D a t a 及び相補信号 P D a t a の発生を中断するようになる。このような一連の段階 S 4 ~ S 6 はデータ送信回路100のエンコーダ160及び出力部180で遂行される。これに対応する動作は図5に関連された説明を参照されたい。

【0075】以後、データ送信回路100は受信側からパルス信号 P D a t a が有効な信号として送信されたかを知らせるためのアクリナリジ信号 (acknowledge signal) が受信されたかを判別するようになる。万一、受信側のプロセッサー540が判別する時間が経過した後、受信されるアクリナリジ信号 (acknowledge signal) がない場合、データ送信回路100はパルス信号 P D a t a がエラー処理されたと判断してパルス発生段階 S 4 を再遂行するによりエラーが発生されたパルス信号 P D a t a に対した再伝送動作が遂行される。

【0076】このように、データ送信回路100の送信方法によると、送信するデータを一つの単位パルス信号 U d の合成された信号 S U d で表現される單一パルス信号 P D a t a 及びその相補的な信号 P D a t a に変換して送信することができる。このような送信方法は従来データ伝送方法で発生された E M I 放射を減少させることができる。

【0077】図10は本発明の好ましい実施形態による受信方法を示す流れ図である。本発明による受信方法について参考図面を用いて以下に説明する。図9で説明したように、データ送信回路100で送信データ T D をパルス信号 P D a t a 及びその相補的な信号 P D a t a に変換して送信するようになると、データ受信回路120はパルス信号 P D a t a 及びその相補信号 P D a t a を受信して本来のデータに復元するようになる。便宜上、データ受信回路120の第1デコーダ420に関連された動作が以後説明されるが、第2デコーダ420aも同一な過程で遂行されることがよく知られて

いるので、それに対する説明は省略する。

【0078】まず、段階S11は第1データ伝送端子T3を通じてデータ伝送開始を知らせる信号、すなわち、データ0を表現するデュレーションを持つ第1パルスD0（単位パルス信号Udのデュレーションと同一であつたり、相違させたりすることができる）が検出されるかの可否を判別するようになる。言い換えれば、第1データ伝送端子T3のデータラインDLがデータ伝送のない時のレベル（例えば、ハイレベル）でデータ伝送のある時のレベル（例えば、ローレベル）に遷移されるかを検出されるようになる。データ伝送開始を知らせる信号が検出されると、次の段階S12でパルス信号PDataが受信される。このような一連の段階S11及びS12は第1デコーダ420の分周器480及びカウンター500により遂行される。便宜上、これに対する動作説明は図6のそれを参照されたい。カウンター500はデータラインDLのレベルがハイレベルからローレベルに遷移された時、すなわち、パルス信号PDataが伝送される時、初期化され、分周器480から供給される分周されたクロック信号DCLK2に応答して次第にカウント動作を始める。

【0079】そして、以後の段階S13で伝送終了情報が受信されたかの可否が検出される。すなわち、データラインDLのレベルがローレベルからハイレベルに遷移されたかを検出するようになる。伝送終了情報が受信されなかつた場合、続いてパルス信号PDataを受信するようになる。これと反対に、伝送終了情報が受信されると、受信されたパルス信号PDataに対応されるデータの値RD1を計算するようになる。このような一連の段階S13及びS14も分周器480及びカウンター500で遂行される。すなわち、パルス信号PDataがローレベルからハイレベルに遷移される時、カウンター500は非活性化される。そして、最終的にカウントされた値はレジスター520に貯蔵される。これで、受信されたパルス信号PDataの幅に対応されるデータの値が計算される。それに、説明されたように、このような一連の動作はパルス信号PDataの相補的な信号PDataを受信する場合にも同一に遂行され、その結果として相補信号PDataの幅に対応されるデータの値RD2が第2デコーダ420aで計算される。

【0080】以後、続く段階S15でパルス信号PDataの幅と相補信号PDataの幅が同一であるかを判別するようになる。二つの信号PData及びPDataの幅、すなわち、対応されるデータの値RD1及びRD2が一致する場合、それらうちの一つのデータの値から第1パルス幅D0を除くことにより本来伝送しようとするデータを再生するようになる。そして、伝送されたパルス信号が有効な信号として受信されたことを知らせるためのアクナリジ信号(acknowledge signal)を発生してデータラインDL及びDLのうちの一つを通じてデ

ータ送信回路100に伝送するようになる。これで、データ送信回路100のプロセッサー220はアクナリジ信号(acknowledge signal)を感じて次のデータ伝送のための準備を遂行するようになる。反面、二つの信号PData及びPDataの幅、すなわち、対応されるデータの値RD1及びRD2が一致しない場合、受信されたパルス信号PDataはエラー処理されるので、アクナリジ信号を発生しないようになる。これで、データ送信回路100のプロセッサー220はアクナリジ信号(acknowledge signal)が受信されなかつたので、データに対して再伝送する。このような一連の動作はデータ受信回路120のプロセッサー540により遂行される。

【0081】このような方法により、データ送信回路100は伝送するためのデータを第1パルス幅D0と第2パルス幅SUdに変換した单一のパルス信号PData及びその相補的な信号PDataをデータ受信回路120に伝送することができる。そして、データ受信回路120はパルス信号PData及びその相補的な信号PDataを受信してデータを復元するようになる。結局、单一のパルス信号PDataにデータを送受信するにより、従来のデータ伝送する時、クロック及びデータの遷移により発生されるEMI放射を減少させることができる。そして、データ受信回路120は信号PData及びPDataの幅を簡単に比較してエラー可否を検出するにより、従来のデータ送受信方法に比べてエラー検出が容易である。このように、容易なエラー検出を遂行するためのハードウェア構成が簡単であるので、データ送受信回路は、それが集積回路で具現される時、高集積されることができる。

【0082】既に、説明された図1のデータ送受信回路はデータ送信回路100とデータ受信回路120で構成されたが、この分野の通常的な知識を習得した人々に知られているように、データ送受信回路は送信用、受信用、そして送受信兼用で区分されることができる。理解に役に立つために、図1のデータ送受信回路が送信用と受信用として各々図示された。しかし、本発明の技術的思想や概念は送受信兼用にも適用されることができるし、そして、それらが一つのチップ(on chip)で集積され、データ送受信用インターフェース(interface)として利用される能够性はこの分野の通常的な知識を習得した人々に自明である。

【0083】

【発明の効果】上述したように、本発明によるデータ送受信用集積回路及びその方法は、データを单一のパルス信号PData及びその相補的な信号PDataに送受信するにより、データ伝送する時、発生されるEMI放射を減少させることができると、また、送受信されるデータのエラー検出が容易な利点を持っている。それに、本発明によると、高集積できるデータ送受信回路を

提供することができる。

【図面の簡単な説明】

【図1】 本発明によるデータ送受信回路の接続関係を示すブロック図である。

【図2】 本発明による伝送データを表示するパルス信号及びその相補的な信号の波形図である。

【図3】 図1のデータライン(DL)を通じて伝送されるパルス信号の構成を示す図面である。

【図4】 本発明の好ましい実施形態による各データを表示するパルス信号の長さを示す図面である。

【図5】 本発明の好ましい実施形態によるデータ送信回路の構成を示すブロック図である。

【図6】 本発明の好ましい実施形態によるデータ受信回路の構成を示すブロック図である。

【図7】 図5のデータ送信回路から出力されるパルス信号及びその相補信号の波形を示す図面である。

【図8】 図6のデータ受信回路の入力信号の波形と入力されたパルス信号にエラー処理されなかった時、発生されるアクナリジ信号を示す図面である。

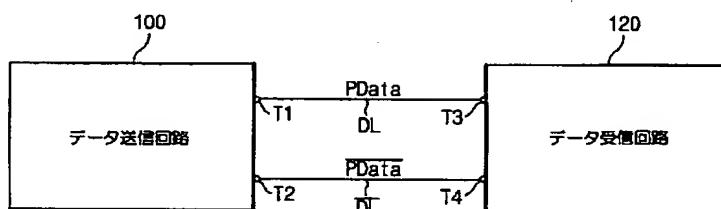
【図9】 本発明の好ましい実施形態による送信方法を示す流れ図である。

(13) 24
【図10】 本発明の好ましい実施形態による受信方法を示す流れ図である。

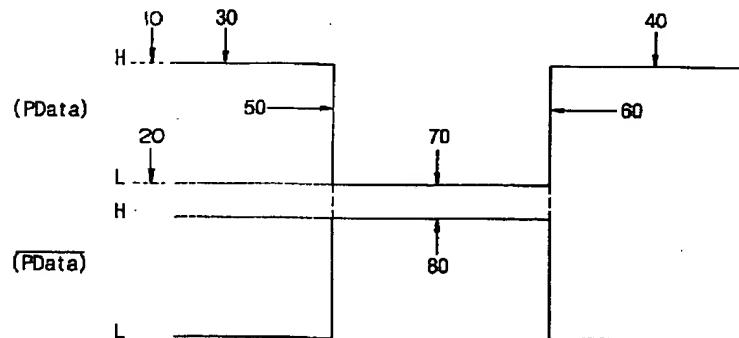
【符号の説明】

100	データ送信回路
120	データ受信回路
140, 440	データ処理部
160	エンコーダ
180	バッファー
200, 460	クロック発生器
10 220, 540	プロセッサー
240, 560	メモリ
260	制御信号発生器
280	パルス発生器
300, 480	分周器
320	スイッチ
340, 500	カウンター
360, 520	レジスター
380	比較器
400	スイッチ非活性化部
20 420, 420a	デコーダー

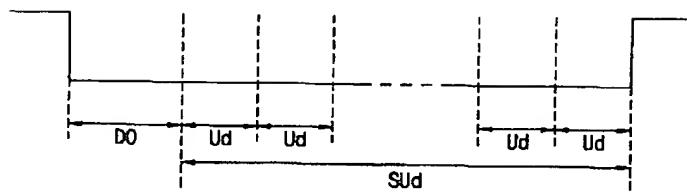
【図1】



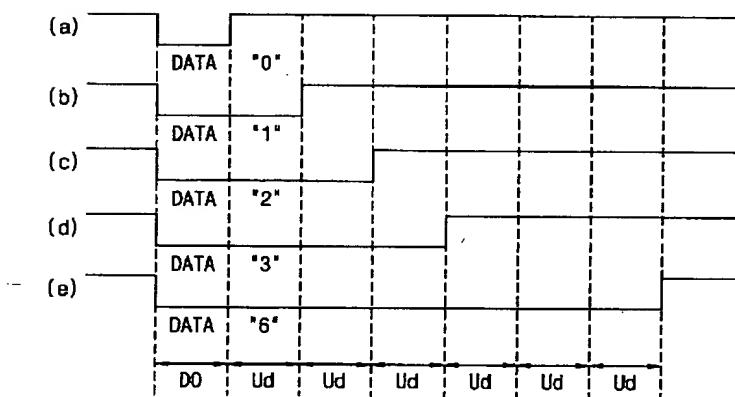
【図2】



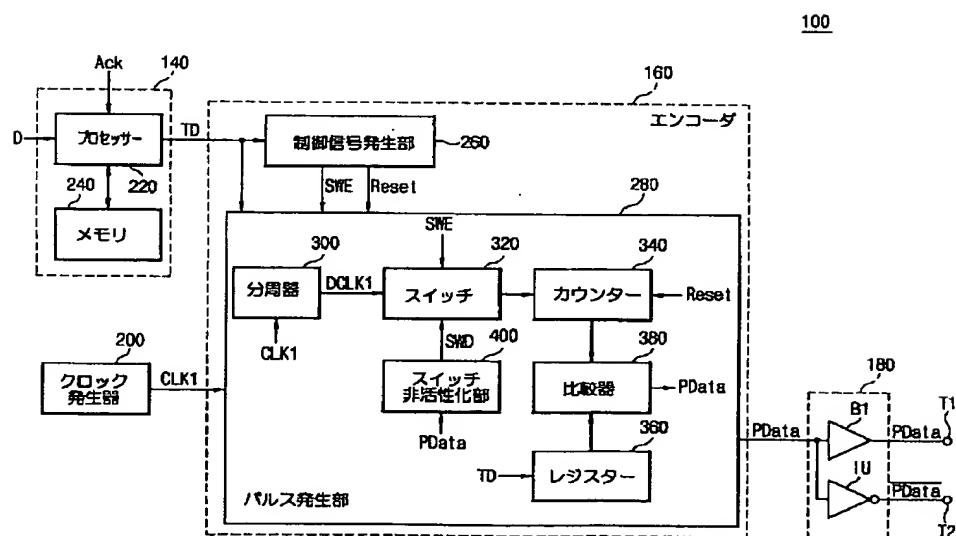
【図 3】



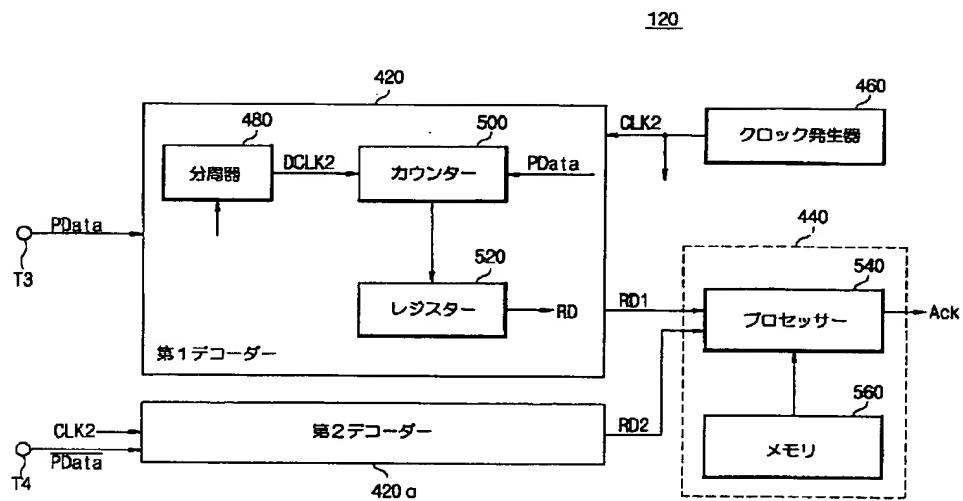
【図 4】



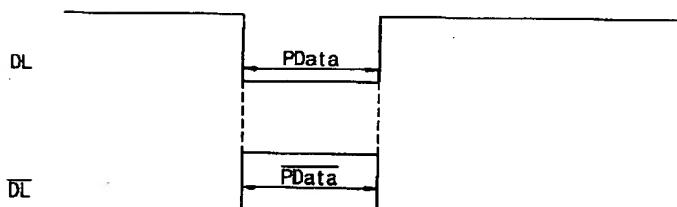
【図 5】



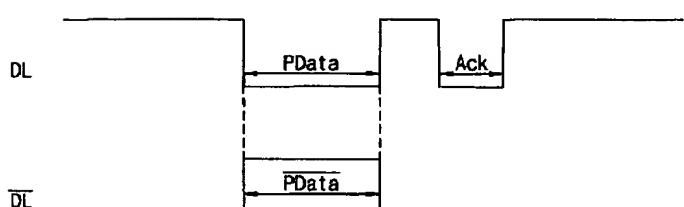
【図6】



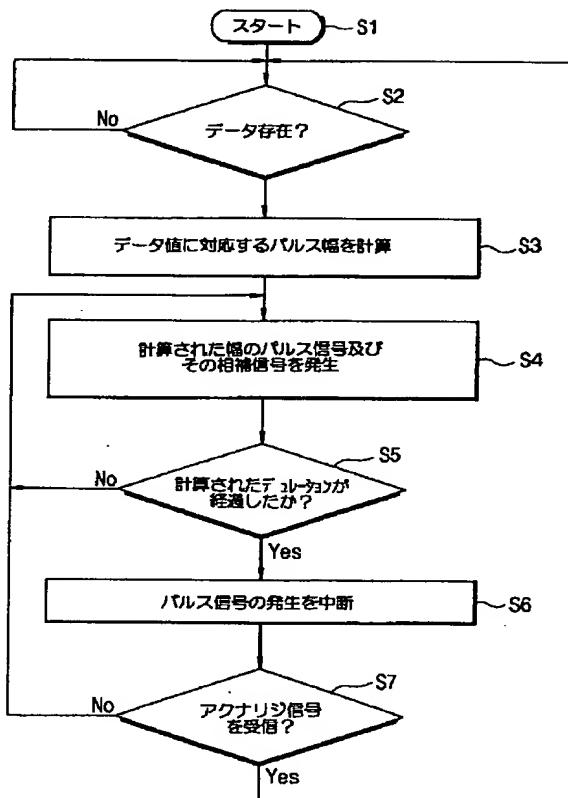
【図7】



【図8】



【図9】



【図10】

